

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106579

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl.⁶

H 0 1 L 29/786

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 C

審査請求 未請求 請求項の数23 O L (全 10 頁)

(21) 出願番号

特願平5-252819

(22) 出願日

平成5年(1993)10月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 加賀 徹

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 永井 亮

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 久本 大

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

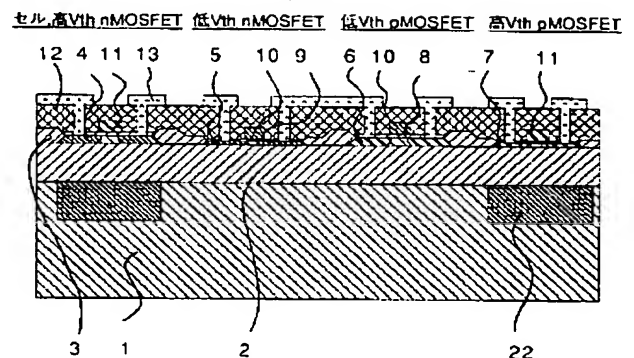
(57) 【要約】

【目的】 薄膜SOI MOSFETのしきい電圧を変えるための素子構造、並びに動作時のしきい電圧制御方法を提供し、回路動作に最適なしきい電圧をもつ薄膜SOI MOSFETを用いて低電力かつ高速の集積回路を作る。

【構成】 SOI厚さあるいはゲート酸化膜厚さの異なる薄膜SOI MOSFETを有する。特定のSOI MOSFET下のシリコン基体上にはシリコン基体から電気的に絶縁された電極を有する。

【効果】 薄膜SOI厚さ、またはゲート絶縁膜厚さを変えることにより、MOSFETのしきい電圧を制御できる。また、シリコン基体上の絶縁電極に電圧を印加することにより、SOI MOSFETのしきい電圧を変化させ、集積回路の低電力動作時には低リーク電流化、集積回路の高速動作時には大ドレイン電流化を実現できる。

図1



【特許請求の範囲】

【請求項 1】半導体基体、絶縁膜、薄膜半導体層が積層された基板の該薄膜半導体層表面に 2 つ以上の M I S F E T (Metal Insulator Semiconductor) 型 F E T (Field Effect Transistor) が形成された半導体装置において、すくなくとも 1 つ以上の M I S F E T の能動領域の厚さが他の M I S F E T の能動領域の厚さに比べて薄いことを特徴とする半導体装置。

【請求項 2】M I S F E T の能動領域の厚さが最大 0. 1 5 μ m であり、かつ、すくなくとも 1 0 n m 以上異なる厚さの第 2 の M I S F E T も形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】半導体基体、絶縁膜、薄膜半導体層が積層された基板の該薄膜半導体層表面に 2 つ以上の M I S F E T が形成された半導体装置において、すくなくとも 1 つ以上の M I S F E T のゲート酸化膜の厚さが他の M I S F E T のゲート酸化膜の厚さに比べて薄いことを特徴とする半導体装置。

【請求項 4】M I S F E T のゲート酸化膜厚の厚さが最大 1 5 n m であり、かつ、すくなくとも 1 n m 以上厚さの異なるゲート酸化膜を持つ第 2 の M I S F E T が形成されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】半導体基体、絶縁膜、薄膜半導体層が積層された基板の該薄膜半導体層表面に 2 つ以上の M I S F E T が形成された半導体装置において、すくなくとも 1 つ以上の M I S F E T の能動領域の厚さとゲート酸化膜の厚さが、他の M I S F E T の能動領域の厚さとゲート酸化膜の厚さに比べてそれぞれ薄いことを特徴とする半導体装置。

【請求項 6】最大 0. 1 5 μ m の厚さの能動領域と最大 1 5 n m の厚さのゲート酸化膜を持つ M I S F E T を有し、かつ、該 M I S F E T に対してすくなくとも 1 0 n m 以上薄い能動領域とすくなくとも 1 n m 以上薄いゲート酸化膜を持つ第 2 の M I S F E T が形成されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】半導体基体、絶縁膜、薄膜半導体層が積層された基板の該薄膜半導体層表面に 2 つ以上の M I S F E T が形成された半導体装置において、すくなくとも 1 つ以上の M I S F E T 下に、半導体基体領域から電気的に絶縁された導体領域を有し、該 M I S F E T に個別のバックバイアスを与えることができることを特徴とする半導体装置。

【請求項 8】半導体基体に含まれる不純物と反対導電型の不純物を有する不純物領域が半導体基体表面に形成されており、該不純物領域が M I S F E T にバックバイアスを与える導体領域として用いられることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】半導体基体表面に絶縁膜で被われた導体領域を有し、該導体領域が M I S F E T にバックバイアスを与える導体領域として用いられることを特徴とする請

求項 7 記載の半導体装置。

【請求項 1 0】半導体基体上の絶縁膜領域中に導体領域を有し、該導体領域が M I S F E T にバックバイアスを与える導体領域として用いられることを特徴とする請求項 7 記載の半導体装置。

【請求項 1 1】半導体装置の特定の動作状態において、通常と異なるバックバイアスを与えることを特徴とする請求項 7 記載の半導体装置。

【請求項 1 2】薄膜半導体層および絶縁膜領域を不純物イオンが通過するに足る、十分な加速エネルギーによるイオン打ち込み法で、バックバイアス印加用の不純物層を形成することを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 1 3】しきい電圧の異なるすくなくとも 2 種類以上の n チャネル M I S F E T において、しきい電圧の高い M I S F E T の能動領域の厚さがしきい電圧の低い M I S F E T の能動領域の厚さより厚い事を特徴とする請求項 1 記載の半導体装置。

【請求項 1 4】しきい電圧の異なるすくなくとも 2 種類以上の p チャネル M I S F E T において、しきい電圧が低い M I S F E T の能動領域の厚さがしきい電圧の高い M I S F E T の能動領域の厚さより厚い事を特徴とする請求項 1 記載の半導体装置。

【請求項 1 5】しきい電圧の異なるすくなくとも 2 種類以上の n チャネル M I S F E T において、しきい電圧が高い M I S F E T のゲート酸化膜の厚さがしきい電圧の低い M I S F E T のゲート酸化膜の厚さより厚い事を特徴とする請求項 3 記載の半導体装置。

【請求項 1 6】しきい電圧の異なるすくなくとも 2 種類以上の p チャネル M I S F E T において、しきい電圧が低い M I S F E T のゲート酸化膜の厚さがしきい電圧の高い M I S F E T のゲート酸化膜の厚さより厚い事を特徴とする請求項 3 記載の半導体装置。

【請求項 1 7】半導体基体、絶縁膜、薄膜半導体層が積層された基板の該薄膜半導体層表面に、すくなくとも、高いしきい電圧をもつ n チャネル M I S F E T と、低いしきい電圧を持つ n チャネル M I S F E T を有する半導体装置において、該高いしきい電圧の M I S F E T 下の半導体基体表面に n 型不純物領域、該低いしきい電圧の M I S F E T 下の半導体基体表面に p 型不純物領域を有することを特徴とする半導体装置。

【請求項 1 8】半導体基体、絶縁膜、薄膜半導体層が積層された基板の該薄膜半導体層表面に、すくなくとも、高いしきい電圧をもつ p チャネル M I S F E T と、低いしきい電圧を持つ p チャネル M I S F E T を有する半導体装置において、該高いしきい電圧の M I S F E T 下の半導体基体表面に n 型不純物領域、該低いしきい電圧の M I S F E T 下の半導体基体表面に p 型不純物領域を有することを特徴とする半導体装置。

【請求項 1 9】p 型不純物を含む半導体基体、絶縁膜、

薄膜半導体層が積層された基板の該薄膜半導体層表面に、異なるしきい電圧をもつ少なくとも2種類のnチャネルMISFETと、異なるしきい電圧をもつ少なくとも2種類のpチャネルMISFETを有する半導体装置において、高いしきい電圧のnチャネルMISFET下の半導体基体表面と、高いしきい電圧のpチャネルMISFET下の半導体基体表面にn型不純物領域を有する事を特徴とする半導体装置、

【請求項20】 p型不純物を含む半導体基体、絶縁膜、薄膜半導体層が積層された基板の該薄膜半導体層表面に、異なるしきい電圧をもつ少なくとも2種類のnチャネルMISFETと、異なるしきい電圧をもつ少なくとも2種類のpチャネルMISFETを有する半導体装置において、高いしきい電圧のnチャネルMISFET下の半導体基体表面、低いしきい電圧のnチャネルMISFET下の半導体基体表面、および高いしきい電圧のpチャネルMISFET下の半導体基体表面にn型不純物領域を有する事を特徴とする半導体装置、

【請求項21】 半導体基体、絶縁膜、薄膜半導体層が積層された基板の該薄膜半導体層表面に、異なるしきい電圧をもつ少なくとも2種類のnチャネルMISFETを有する半導体装置において、高いしきい電圧のMISFETのゲート電極にp型多結晶半導体、低いしきい電圧のMISFETのゲート電極にn型多結晶半導体を用いたことを特徴とする半導体装置、

【請求項22】 半導体基体、絶縁膜、薄膜半導体層が積層された基板の該薄膜半導体層表面に、異なるしきい電圧をもつ少なくとも2種類のpチャネルMISFETを有する半導体装置において、高いしきい電圧のMISFETのゲート電極にp型多結晶半導体、低いしきい電圧のMISFETのゲート電極にn型多結晶半導体を用いたことを特徴とする半導体装置、

【請求項23】 半導体基体、絶縁膜、薄膜半導体層が積層された基板の該薄膜半導体層表面に、異なるしきい電圧をもつ少なくとも2種類のnチャネルMISFETと、異なるしきい電圧をもつ少なくとも2種類のpチャネルMISFETを有する半導体装置において、高いしきい電圧のnチャネルMISFETと高いしきい電圧のpチャネルMISFETのゲート電極にp型多結晶半導体、低いしきい電圧のnチャネルMISFETと低いしきい電圧のpチャネルMISFETのゲート電極にn型多結晶半導体を用いたことを特徴とする半導体装置、

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は高速低消費電力を特徴とする薄膜SOI基板を利用したMOS (Metal Oxide Semiconductor) 型LSI (Ultra Large Scale Integration) とその製造方法に関する、

【0002】 薄膜SOI (Silicon On Insulator) 基板を用いたMOS型LSI、DRAM (Dynamic Random

Access Memory)、SRAM (Static Random Access Memory) などのメモリLSI、ロジックLSIなどに利用できる、

【0003】

【従来の技術】 発明に最も近い公知例には、例えばジャン・チェン等によるアイ・イー・ディ・エム'92、35ページ、"ア・ハイ・スピード・エス・オー・アイ・テクノロジー・ウィズ・12ピコセコンド/18ピコセコンド・ゲート・ディレイ・オペレーティング・アット・5ボルト/1.5ボルト" (Jian Chen et al., "A HIGH SPEED SOI TECHNOLOGY WITH 12ps/18ps GATE DELAY OPERATING AT 5V/1.5V," IEDM'92, p.35) がある、ここでは、均一な膜厚の薄膜SOI層を持つSOI基板の表面に、CMOS (Complementary MOS) FET (Field Effect Transistor) を形成している、形成したMOSFETの種類は3種類で、しきい電圧が約0Vのnチャネル (n-ch) MOSFETとしきい電圧が-1V程度のデプリーション型MOSFET、およびしきい電圧が約-1Vのpチャネル (p-ch) MOSFETである、

【0004】

【発明が解決しようとする課題】 上記従来例では、各MOSFETのしきい電圧がほぼ-1V、0V、1Vの3種類のいずれかに固定されている、

【0005】 エンハンスメント型MOSFETでは、しきい電圧が-1V (p-ch MOSFET) または1V (n-ch MOSFET) であり、通常シリコンウエハ上のMOSFETに比べ (p-ch MOSFETで約-0.5V、n-ch MOSFETで約0.5V) に比べて絶対値が大きい、このためSOI MOSFETでは、実効的なゲート電圧 V_{geff} (印加したゲート電圧 V_g - しきい電圧 V_{th}) が小さくなる、従って、次式で表わされるドレイン電流 I_d 、

$$I_d \propto V_{geff}^2 \\ = (V_g - V_{th})^2 \quad (1)$$

も小さくなる、この効果は将来の低電圧電源LSIでは大きな問題となる、例えば、電源電圧、すなわちゲートに印加される電圧 V_g が1.5Vの場合、このSOI MOSFETのドレイン電流 I_d は従来MOSFETに比較し1/4の電流しか流れない、

【0006】 一方、エンハンスメント型MOSFETで、しきい電圧が0V (p-ch MOSFET、n-ch MOSFETとも) の場合は、ドレイン電流は大きくなるが、オフ状態 (MOSFETのゲートに0Vを印加した状態) でも1nA~1μA程度の電流が流れる問題がある、電池駆動機器などで必要とされる低消費電力型LSIでは大きな問題である、

【0007】 この様に、従来のSOI CMOSFETではしきい電圧がほぼ-1V、0V、1Vの3種類に固定されてしまう問題があり、これによりSOI CMOSFETを使う場合、LSIの低消費電力化と高速動作

を両立させることが難しかった。

【0008】

【課題を解決するための手段】SOI基板上のCMOSFETのしきい電圧を変えるため、以下の手段を発明した。

【0009】(1)異なるしきい電圧を持つMOSFETのSOI膜厚を変えること。SOI MOSFETを完全空乏化動作させながら、そのしきい電圧を0.1V程度以上変えるために、SOI膜厚は約0.15 μ mを最大とし、かつ、約10nm以上の膜厚差をつける。

【0010】(2)異なるしきい電圧を持つMOSFETのゲート酸化膜厚を変えること。しきい電圧を0.1V程度以上変えるために、ゲート酸化膜厚は約15nmを最大とし、かつ、約1nm以上の膜厚差をつける。

【0011】(3)SOI MOSFETの下、支持用Si基板表面に支持用Si基板の不純物層とは反対導電型の不純物層を設け、その電位を変えることによってSOI MOSFETのしきい電圧を制御する。この不純物層は、絶縁膜に被われた導電層でもよく、また、支持用Si基板表面ではなく、SOI領域下の厚い絶縁膜中に設けた導電層であっても良い。

【0012】

【作用】上記(1)を用いるとSOI中の不純物濃度が $2 \times 10^{17}/\text{cm}^3$ 、ゲート酸化膜厚10nmの場合、SOI厚さを10nm変えることによってしきい電圧を約0.1V変えることができる。

【0013】上記(2)を用いると、SOI中の不純物濃度が $2 \times 10^{17}/\text{cm}^3$ 、SOI厚さが50nmの場合、ゲート酸化膜厚さを1nm変えることによってしきい電圧を約0.05V変えることができる。

【0014】上記(3)を用いると、ゲート酸化膜厚7nmの場合、バックゲートに+3Vまたは-3Vを印加することによってしきい電圧を約0.2V変えることができる。

【0015】また、上記(1)(2)(3)を組み合わせることで、しきい電圧を約0.5Vの範囲で自由に变化させることができる。さらに、バックゲート電圧をLSIの動作状態に応じて変えることにより、しきい電圧を±0.2V以上の幅で変えることができるので、低消費電力動作、あるいは高速動作など、LSIの動作モードに合わせてMOSFETの電流電圧特性を変えることができる。

【0016】

【実施例】以下、本発明の実施例を図を用いて説明する。

【0017】実施例1。

【0018】図1は本発明第1の実施例である。p型シリコン半導体基体1およびSiO₂上の薄膜シリコン層に、素子間分離用SiO₂3で分離された4種類のMOSFET(Metal Oxide Semiconductor Field Effect

Transistor)が形成されている。相対的に厚い薄膜シリコン、SOI(Silicon On Insulator)上には相対的に厚いゲートSiO₂8が形成されており、p型多結晶シリコン11をゲート電極に持つ高V_{th} nチャネル型MOSFETとn型多結晶シリコン10をゲート電極に持つ低V_{th} pチャネル型MOSFETが形成されている。相対的に薄い薄膜シリコン、SOI上には相対的に薄いゲートSiO₂9が形成されており、n型多結晶シリコン10をゲート電極に持つ低V_{th} nチャネル型MOSFETとp型多結晶シリコン11をゲート電極に持つ高V_{th} pチャネル型MOSFETが形成されている。

【0019】p型シリコン半導体基体表面の一部にはn型不純物領域22が形成されている。このn型不純物領域22は、4種類のMOSFETの内、高V_{th} nチャネル型MOSFETと高V_{th} pチャネル型MOSFETの下に形成されている。これらのn型不純物領域22には、独立の電位を供給できる。また、本実施例のULSI装置表面にDRAM(Dynamic Random Access Memory)を形成する場合、メモリーセル用MOSFETのチャネル・リーク電流を減らすためにメモリーセル用MOSFETを高V_{th} nチャネルMOSFETと同じ構造で形成するのが良い。本実施例の場合、メモリーセル用MOSFET下のn型不純物領域22は高V_{th} nチャネルMOSFETと共用しているが、独立に形成し、独立したバックバイアスを与える事もできる。

【0020】本実施例の場合、n型不純物領域22に印加する電圧は、p型シリコン半導体基体との間に順方向電流が流れる事を防ぐ為に、p型シリコン半導体基体電位V_{sub}にビルト・イン・ポテンシャルV_{bi}を加えた電位以上でなければならない。

【0021】実施例2。

【0022】図2は本発明第2の実施例である。図1の実施例から、p型シリコン半導体基体1表面のn型不純物領域22を削除し、簡単化してある。

【0023】実施例3。

【0024】図3は本発明第3の実施例である。本実施例は、図1の実施例に示されたn型不純物領域22に対して電位を供給する方法を示しているここでは、A1を用いた金属配線13によってn型不純物領域22に電位を供給している。本実施例では、MOSFETの拡散層上とn型不純物領域22上と、深さの異なる複数のコンタクト穴を形成するために、開口径の異なるコンタクト穴を用いている。これは、ドライエッチングのエッチングスピードが大きい穴ほど速い特徴を利用したものである。ここでは、n型不純物領域22上コンタクト穴の開口径をMOSFETの拡散層上のコンタクト穴の2倍以上にする事で、n型不純物領域22上のコンタクト穴加工時間を減らし、従ってMOSFETの拡散層上のコンタクト穴加工の時間が短くし、オーバーエッチングによ

るSOI層の突き抜けの問題を無くすことができた。

【0025】実施例4。

【0026】図4(a)から図6は、本発明第1の実施例であり、図1に示した第1の実施例の製造方法を示している。

【0027】まず、図4(a)に示すように、p型シリコン半導体基体1および厚さ300nmのSiO₂上の厚さ55nmの均一薄膜シリコン層(SOI層)を加工する。公知の光リソグラフィ技術を用いて、低V_{th} nチャネル型MOSFET領域、および高V_{th} pチャネル型MOSFET領域部分が開口するようにレジストパターンを形成し(本図には図示されていない)、レジストパターンをマスクとして公知のドライエッチング技術によってSOI層を約25nmエッチングする。従って、この部分のSOI厚さは約30nmである。

【0028】次に、図4(b)に示すように、メモリセル用nチャネルMOSFET領域と高V_{th} nチャネル型MOSFET領域、および高V_{th} pチャネル型MOSFET領域部分が開口するように、公知の光リソグラフィ技術を用いてレジストパターンを形成し(本図には図示されていない)、引き続き公知のイオン打ち込み技術を用いてリンイオン21を打ち込み、n型不純物層22をp型シリコン半導体基体1表面に形成する。イオン打ち込みは、2価のリンイオンを用い加速電圧180kVで行なった。飛程は約350nm、ほぼp型シリコン半導体基体1の表面に届く距離である。ドーズ量は $1 \times 10^{15}/\text{cm}^2$ である。

【0029】次に、公知のLOCOS形成法を用いて、素子間分離用SiO₂3を形成した後、nチャネル領域にはボロン、pチャネル領域にはリンを公知のイオン打ち込み法で打ち込む。nチャネル領域のSOI中ボロン濃度およびpチャネル領域のSOI中リンの濃度は約 $2 \times 10^{17}/\text{cm}^2$ である。次に、厚いゲートSiO₂8と薄いゲートSiO₂9を形成する。まずSOI表面に4

nmのSiO₂膜を形成したあと、将来薄いゲートSiO₂になる領域のSiO₂をHF水溶液で除去し、続いてSOI表面を7nm酸化する。こうして、厚い部分で10nm、薄い部分で7nmのゲートSiO₂膜を形成した(図5(a))。

【0030】次に、 $1 \times 10^{20}/\text{cm}^2$ の濃度のボロンを含む厚さ100nmの多結晶シリコンを被着する。低V_{th} nチャネル型MOSFET領域、および低V_{th} pチャネル型MOSFET領域の多結晶シリコン中に、公知の光リソグラフィ法と公知のイオン打ち込み法により $3 \times 10^{16}/\text{cm}^2$ のドーズ量のリンを選択的に打ち込んだ後、化学気相成長法により厚さ100nmのSiO₂膜41を被着する。次に、光リソグラフィ法並びに公知のドライエッチング法によりSiO₂膜41と多結晶シリコンをエッチングし、n型多結晶シリコンゲート10とp型多結晶シリコンゲート11を形成する。続いて公知のイオン打ち込み法を用いて、nチャネルMOSFET領域に砒素イオン、pチャネルMOSFET領域にBF₃イオンを打ち込み、n型拡散層4、5とp型拡散層6、7を形成する(図5(b))。

【0031】ついで、図6に示すように、層間絶縁膜用に公知の化学気相成長法を用いてSiO₂膜12を形成し、公知の光リソグラフィ法と公知のドライエッチング法によりコンタクト穴を形成した後、Siを1%含むAlを公知のスパッタリング法により被着し、光リソグラフィ法とドライエッチング法を用いて加工して金属配線13を形成する。

【0032】こうして作られたLSI上の各種MOSFETの電気特性を表1に示す。

【0033】表1は、本発明の第4の実施例で形成した各種MOSFETの電気特性を示した表である。

【0034】

【表1】

表1 各SOI MOSFETのV_{th}とバックゲートバイアスV_{bg}

	動作時V _{th} (V _{bg})	スタンバイ時V _{th} (V _{bg})
セル用n-ch MOSFET	0.7V(+3V)	0.9V(0V)
高V _{th} n-ch MOSFET	0.7V(+3V)	0.9V(0V)
低V _{th} n-ch MOSFET	0.2V(-3V)or0V(0V)*1	0.2V(-3V)or0V(0V)
低V _{th} p-ch MOSFET	-0.75V(-3V)	-0.75V(-3V)or-0.95V(0V)
高V _{th} p-ch MOSFET	0.15V(0V)	-0.15V(+3V)or0.15V(0V)

*1:V_{bg}=0Vの場合は低V_{th} n-ch MOSFET領域の支持基板表面にn型不純物層を形成する。

【0035】メモリセル用および高V_{th}用のMOSFETには、いずれもLSIの通常動作時(以下、「動作

時」と略記する)には3Vのバックバイアスがn型不純物領域22を介して供給される。これらのMOSFET

は0.7Vのしきい電圧で動作した。また、これらのMOSFETには、LSIが低消費電力で動作しているスタンバイ時には0Vのバックバイアスが供給される。このとき、これらのMOSFETは0.9Vのしきい電圧で動作した。これらのMOSFETは、動作時のしきい電圧がスタンバイ時に比べ下がるため、ドレイン電流が増え、従って、回路動作が速くなった。

【0036】低 V_{th} nチャネルMOSFET、および低 V_{th} pチャネルMOSFETには、動作時とスタンバイ時に-3Vのバックバイアスがp型半導体基体を通じて供給され、各MOSFETは各々0.2V、-0.75Vのしきい電圧で動作した。また、より高速の回路動作をねらったLSIも試作した。このLSIでは、低 V_{th} nチャネルMOSFETのしきい電圧を下げるために、このMOSFET領域下のp型半導体基体表面にもn型不純物領域を形成し、ここに0Vのバックバイアスを与えた。この改良によりこのMOSFETのしきい電圧は0Vとなり、この結果ドレイン電流が増え、LSIのスピードが向上した。

【0037】高 V_{th} pチャネルMOSFETには、動作時に0V、スタンバイ時に3Vのバックバイアスが供給され、各々0.15V、-0.15Vのしきい電圧で動作した。このMOSFETは動作時にデプリーションモードに近い状態で動くため、ドレイン電流が大きくとれる。この結果、回路動作が速くなった。

【0038】図7(a)から図8は、第4の実施例で試作したMOSFETのしきい電圧と「SOI層の厚さ」、「ゲート酸化膜厚さ」との関係を示している。しきい電圧はSOI中の不純物(ボロン)濃度 N_a の変数でもあるので、図はいずれも V_{th} を縦軸に、 N_a を横軸に用い、SOI層の厚さとゲート酸化膜厚さをパラメータにした。MOSFETはいずれもnチャネル型で、n型多結晶シリコンをゲート電極に用いている。

【0039】図7(a)はSOI厚さと、ゲート酸化膜厚さの両方が異なる2種類のMOSFETの V_{th} を比較した図である。(ここでは、SOI厚さが厚いMOSFETは、同時に厚いゲート酸化膜を持つ。)この2種類のMOSFETの V_{th} の差は、例えば、SOI中不純物濃度が $3 \times 10^{17}/\text{cm}^3$ の場合に約0.4Vが得られる。これ以上不純物濃度が高くなると、しきい電圧が高いMOSFETでは完全空乏化動作をしなくなる。

【0040】図7(b)はゲート酸化膜厚さが同じ(7nm)で、SOI厚さが異なる2種類のMOSFETの V_{th} を比較した図である。2種類のMOSFETの V_{th} の差は、例えば、SOI中不純物濃度が $3 \times 10^{17}/\text{cm}^3$ の場合に約0.2Vであり、図7(a)に比べ V_{th} 差が小さくなる。

【0041】図8(c)もゲート酸化膜厚さが同じ(10nm)で、SOI厚さが異なる2種類のMOSFETの V_{th} を比較した図である。2種類のMOSFETの

V_{th} の差は、例えば、SOI中不純物濃度が $3 \times 10^{17}/\text{cm}^3$ の場合に約0.3Vであり、やはり図7

(a)に比べ V_{th} 差が小さくなる。

【0042】完全空乏化型SOI利用MOSFETで出来るだけ大きな V_{th} 差を持つ複数のMOSFETを形成するためには、各MOSFETのSOI厚さ、ゲート酸化膜厚さ、を同時に変えるのが効果的である。さらに不純物濃度を変えるのも効果がおおきい。

【0043】図9(a)と(b)は、第4の実施例で試作した異なるゲート電極材料を持つnチャネルMOSFETのサブスレッショルド領域の電流-電圧特性を示している。ここでは、特に、これらMOSFETのしきい電圧に対するバックバイアスの影響が示されている。また、ここで用いたMOSFETはいずれもSOI厚さ25nm、ゲート SiO_2 厚さ7nmである。

【0044】図9(a)はn型多結晶シリコンゲート電極を持つMOSFETの特性を示す。バックバイアス $V_{bg}=0\text{V}$ の場合はしきい電圧が低いため、ゲート電圧 $V_g=0\text{V}$ の場合のリーク電流が約0.1 μA 流れてしまう。リーク電流を減らす必要があるスタンバイ時には、-3Vのバックバイアスを与えることによって、リーク電流を0.1nAに減らすことが出来る。回路の高速動作が必要な時には0Vのバックバイアスを与え、低リーク電流の必要な時には-3Vのバックバイアスを与えることによって、高速動作と低消費電力を両立したLSIを実現できる。

【0045】図9(b)はp型多結晶シリコンゲート電極を持つMOSFETの特性を示す。バックバイアス $V_{bg}=0\text{V}$ の場合はしきい電圧が高いため、特に低電圧動作が必要な回路ではトランジスタのドレイン電流が減り、回路動作が遅くなる。回路動作を速くするためには、回路動作時に3Vのバックバイアスを与えることにより、MOSFETのしきい電圧を減らしてドレイン電流を増やす方法が効果的である。

【0046】図10(a)と(b)は、第4の実施例で試作した異なるゲート電極材料を持つpチャネルMOSFETのサブスレッショルド領域の電流-電圧特性を示している。ここでも図6と同様に、しきい電圧に対するバックバイアスの影響が示されている。また、ここで用いたMOSFETでも、SOI厚さは25nm、ゲート SiO_2 厚さは7nmである。

【0047】図10(a)はn型多結晶シリコンゲート電極を持つMOSFETの特性を示す。バックバイアス $V_{bg}=0\text{V}$ の場合はしきい電圧が低いため、特に低電圧動作が必要な回路ではトランジスタのドレイン電流が減り、回路動作が遅くなる。回路動作を速くするためには、回路動作時に-3Vのバックバイアスを与えることにより、MOSFETのしきい電圧を増やして(0Vに近づけて)ドレイン電流を増やす方法が効果的である。

【0048】図10(b)はp型多結晶シリコンゲート

電極を持つMOSFETの特性を示す、バックバイアス $V_{bg} = 0V$ の場合はしきい電圧が高いため、ゲート電圧 $V_g = 0V$ の場合のリーク電流が約 $1 \mu A$ 流れてしまう、リーク電流を減らす必要があるスタンバイ時には、 $3V$ のバックバイアスを与えることによって、リーク電流を約 $0.1 nA$ に減らすことが出来る。回路の高速動作が必要な時には $0V$ のバックバイアスを与え、低リーク電流の必要な時には $3V$ のバックバイアスを与えることによって、高速動作と低消費電力を両立したLSIを実現できる。

【0049】実施例5、

【0050】図11は、本発明第5の実施例である。MOSFETにバックバイアスを与える電極の周囲を SiO_2 膜81で被った事の特徴とする。この特徴以外は図1に示した実施例1と基本的に同じ構造を持つ。

【0051】本実施例では、バックバイアス印加用の電極を絶縁膜で被っているため、図1の実施例1とは異なりバックバイアスの正負、大きさに対する制約が無い、また、バックバイアスを印加するためには、図3に示す方法と同様のバイアス印加用の専用金属配線が必要である。

【0052】実施例6、

【0053】図12は、本発明第6の実施例である、MOSFETにバックバイアスを与える電極91が厚い SiO_2 膜2の中に埋め込まれた構造を持つ。この特徴以外は図1に示した実施例1と基本的に同じである。

【0054】本実施例もまた実施例8と同様、バックバイアス印加用の電極を絶縁膜で被っているため、バックバイアスの正負、大きさに対する制約が無い、また、実施例5に比べると電極91と上部のMOSFETとの距離が近いので、同じバックバイアスを与えた場合のしきい電圧変化量が大きいのが特徴である。

【0055】実施例7、

【0056】図13は、本発明第7の実施例である。本実施例は図12の実施例に示された電極91に対して電位を供給する方法を示している。ここではAlを用いた金属配線13によって電極91に電位を供給している、コンタクト穴の形成方法に関しては実施例3と同様である。

【0057】以上では、ゲート電極にn型またはp型の多結晶シリコンを用いたMOSFETのしきい電圧制御に関する実施例を示した、しかし、タングステン、Al、TiN、Mo、 WSi_2 、 $MoSi_2$ 、 $TiSi_2$ など各種金属材料、あるいは金属シリサイド等、 Si とは異なる仕事関数を持つ材料をゲート材料に用いたSOI薄膜利用MOSFETにおいても、SOI厚さとゲート酸化膜厚さを個別に、または同時に変える方法は、MOSFETのしきい電圧を変える上で有効である、さらに、バックバイアスを図1、図11あるいは図12の方法で変えることも、これらのMOSFETのしきい電圧

を制御する方法として有効であることは言うまでもない。

【0058】

【発明の効果】本発明によれば、薄膜SOI上に形成された各種MOSFETのしきい電圧を制御できる、また、LSIの動作状態に応じて、任意のMOSFETのしきい電圧を変えることができるため、LSIの低消費電力動作時には低リーク電流特性を持ち、LSIの高速動作時には大ドレイン電流を供給するMOSFETを用いた回路を作ることができる、低消費電力かつ高速なLSIに好適な半導体装置である。

【0059】

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す断面図である。

【図2】本発明の第2の実施例を示す断面図である。

【図3】本発明の第3の実施例を示す断面図である。

【図4】本発明の第4の実施例であり、第1の実施例の製造方法を示す断面図である。

【図5】図4に続く製造方法を示す断面図である。

【図6】図5に続く製造方法を示す断面図である。

【図7】本発明を用いて形成した各種MOSFETのしきい電圧 V_{th} とSOI中の不純物（ボロン）濃度 N_a の関係を示す図である。

【図8】本発明を用いて形成した各種MOSFETのしきい電圧 V_{th} とSOI中の不純物（ボロン）濃度 N_a の関係を示す図である。

【図9】本発明を用いて形成した、n型多結晶シリコン電極を持つnチャネルMOSFETのサブスレッショールド領域の電流電圧特性（ドレイン電流 I_{ds} — ゲート電圧 V_g ）を示す図（a）、及び本発明を用いて形成した、p型多結晶シリコン電極を持つnチャネルMOSFETのサブスレッショールド領域の電流電圧特性（ I_{ds} — V_g ）を示す図（b）である。

【図10】本発明を用いて形成した、n型多結晶シリコン電極を持つpチャネルMOSFETのサブスレッショールド領域の電流電圧特性（ I_{ds} — V_g ）を示す図（a）及び、本発明を用いて形成した、p型多結晶シリコン電極を持つpチャネルMOSFETのサブスレッショールド領域の電流電圧特性（ I_{ds} — V_g ）を示す図（b）である。

【図11】本発明の第5の実施例を示す断面図である。

【図12】本発明の第6の実施例を示す断面図である。

【図13】本発明の第7の実施例を示す断面図である。

【符号の説明】

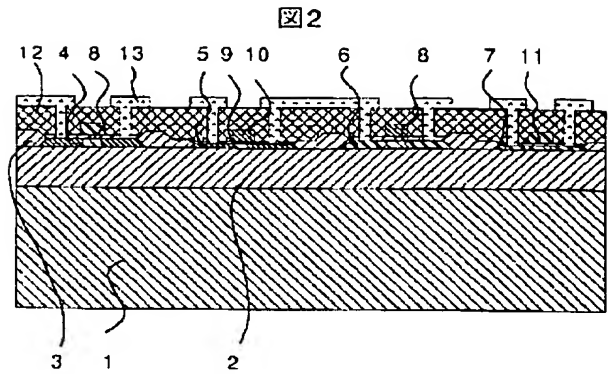
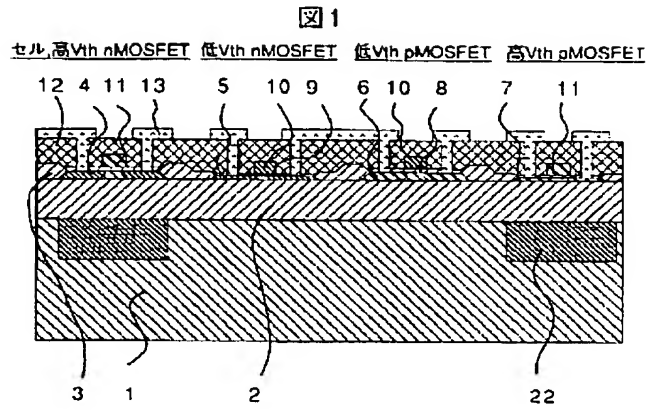
1…p型半導体基体、2… SiO_2 、3… SiO_2 、4…n型不純物領域、5…n型不純物領域、6…p型不純物領域、7…p型不純物領域、8…厚い SiO_2 、9…薄い SiO_2 、10…n型多結晶シリコン電極、11…p型多結晶シリコン電極、12… SiO_2 、13…金属配線、21…2価のリンイオン、22…n型不純物領域、

41... SiO_2 、42...低 V_{th} nMOSFET領域、13...高 V_{th} pMOSFET領域、81...Si

O_2 、91...電極

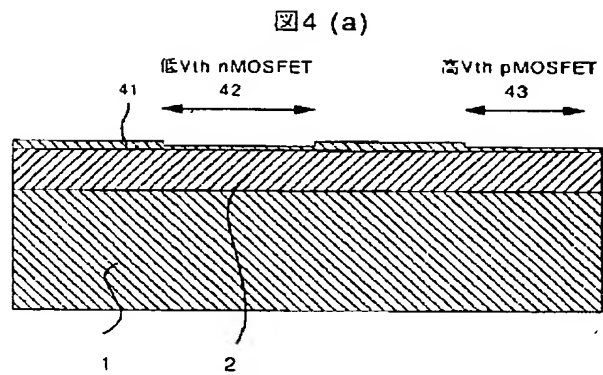
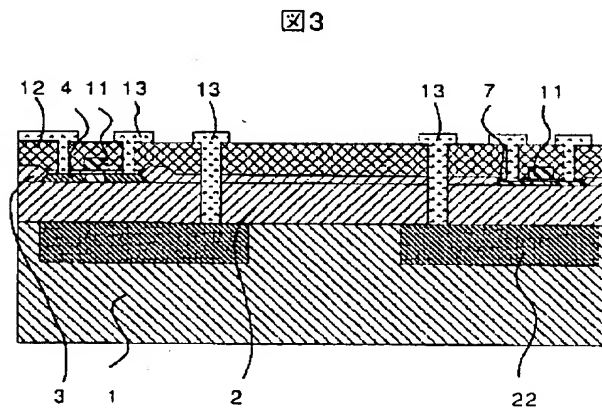
【図1】

【図2】

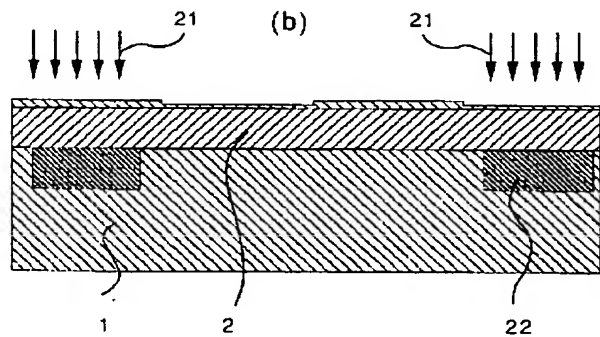


【図3】

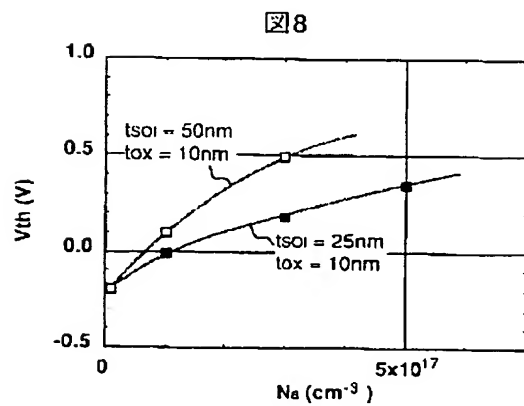
【図4】



(b)

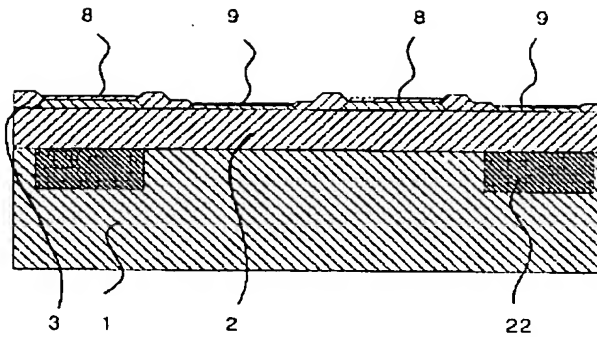


【図8】

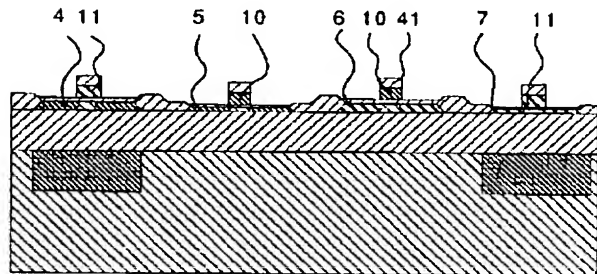


【図 5】

図 5(a)

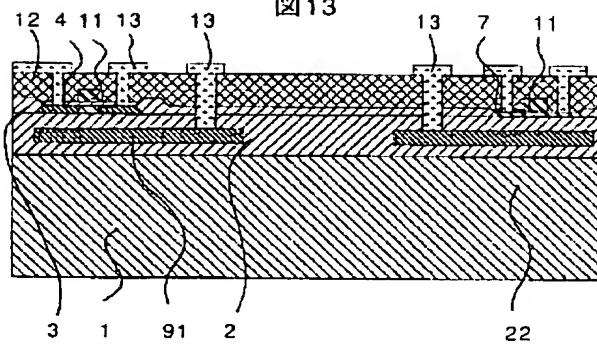


(b)



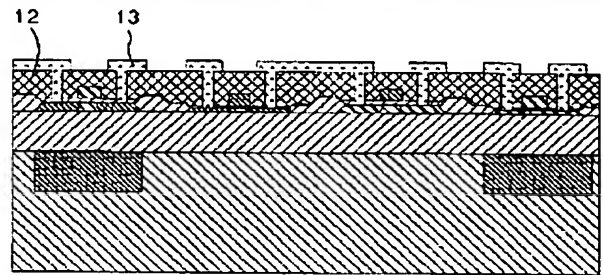
【図 13】

図 13



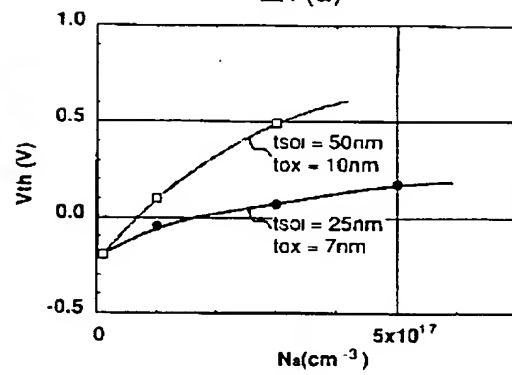
【図 6】

図 6

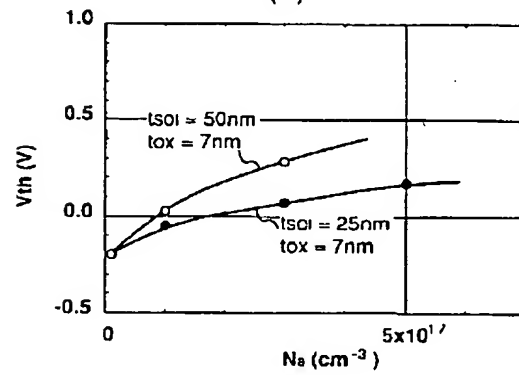
セル、高 V_{th} nMOSFET 低 V_{th} nMOSFET 低 V_{th} pMOSFET 高 V_{th} pMOSFET

【図 7】

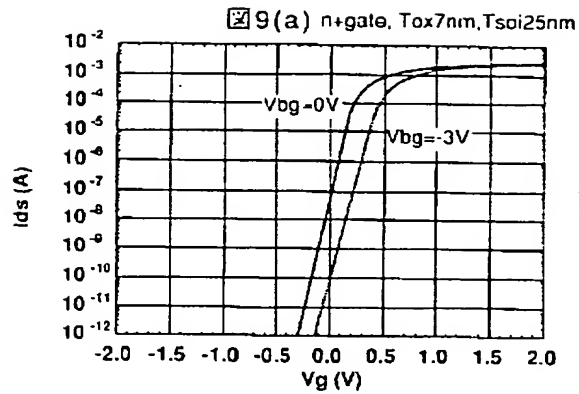
図 7(a)



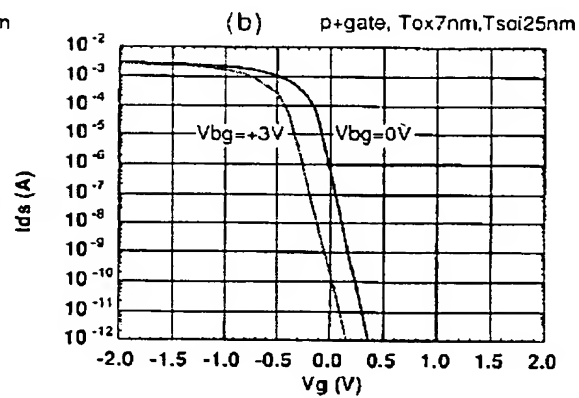
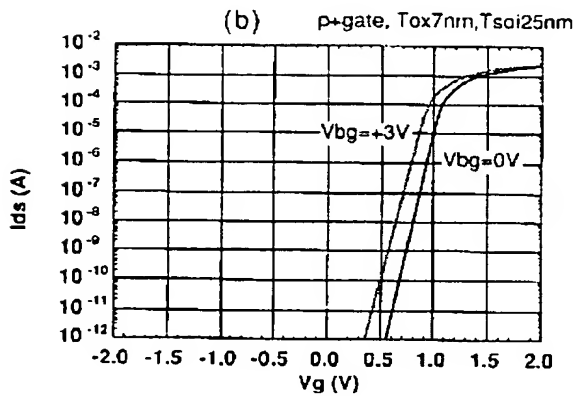
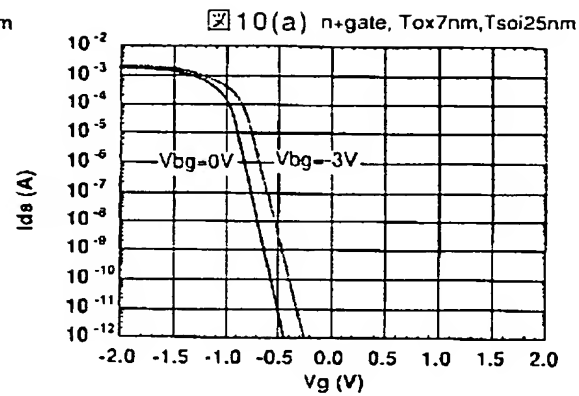
(b)



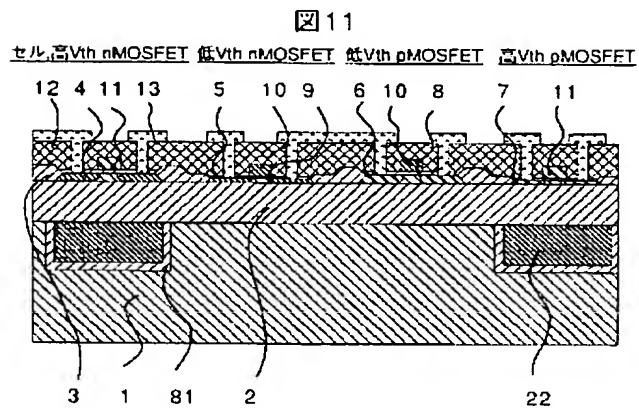
【図9】



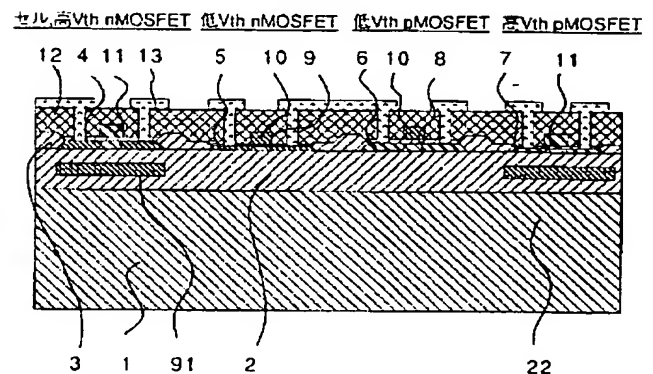
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 宿利 章二

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内



JP7106579

Biblio

Page 1

Drawing



SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP7106579
Publication date: 1995-04-21
Inventor(s): KAGA TORU; others: 03
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP7106579
Application Number: JP19930252819 19931008
Priority Number(s):
IPC Classification: H01L29/786
EC Classification:
Equivalents:

Abstract

PURPOSE: To control a threshold voltage by making active regions of at least one of MISFET thinner than active regions of the other MISFETs.
CONSTITUTION: Four kinds of MOSFET's isolated by SiO₂ 3 for element isolation are formed on a P-type silicon semiconductor substrate 1 and a silicon layer on SiO₂ 2. A relatively thick gate SiO₂ 8 is formed on a relatively thick thin film silicon SOI. A high V_{th} N-channel type MOSFET having a P-type polycrystalline silicon 11 as a gate electrode, and a low V_{th} P-channel MOSFET having N-type polycrystalline silicon 10 as a gate electrode are formed. A relatively thin gate SiO₂ 9 is formed on a relatively thin film silicon SOI. When the maximum thickness of the gate SiO₂ film is about 15nm, and the difference of film thickness is set larger than or equal to about 1nm, a threshold voltage changes by about 0.1V or larger. By setting thickness difference in the gate SiO₂ film, the threshold voltage can be controlled.

Data supplied from the esp@cenet database - I2